

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-344948  
 (43)Date of publication of application : 14.12.1999

(51)Int.CI. G09G 3/20  
 G09G 3/28  
 G09G 3/30

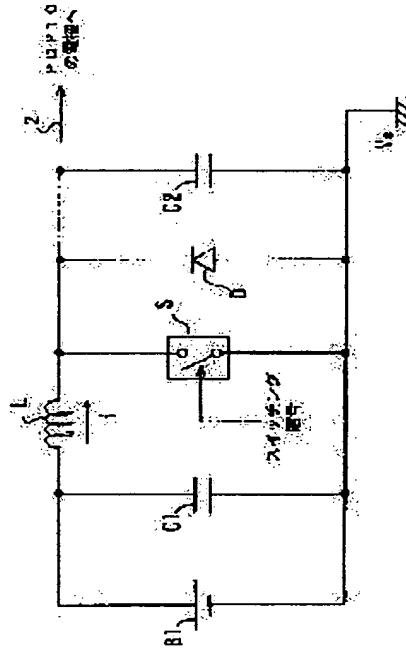
(21)Application number : 10-154986 (71)Applicant : PIONEER ELECTRON CORP  
 (22)Date of filing : 03.06.1998 (72)Inventor : IDE SHIGEO

## (54) DRIVING DEVICE FOR DISPLAY PANEL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain the lowering of power consumption by generating the potential change generated at other end of a coil as driving pulses.

**SOLUTION:** When the switching signal supplied from a drive control circuit is shifted to a logic level '0', a switching element S becomes to be in a cutoff state. When the energy stored in a coil L becomes zero and a current flowing in the coil traverses zero, this time, a capacitor C2 and a load capacitance start discharging. A current is allowed to flow along a route consisting of the capacitor C2, the load capacitance, the coil L and a capacitor C1. In this case, when the capacitor C1 is charged by the current allowed to flow in via the coil L and the potential on a line 2 reaches a negative potential, a diode D becomes to be biased in a forward direction and a sine wave shaped pulse having a crest value is generated. Then, such pulses are used as sustenance pulses and pixel data pulses.



## LEGAL STATUS

[Date of request for examination] 16.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3568098

[Date of registration] 25.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-344948

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.<sup>6</sup>  
G 0 9 G 3/20  
3/28  
3/30

識別記号  
6 2 1

F I  
G 0 9 G 3/20  
3/28  
3/30

6 2 1 G  
J  
J

審査請求 未請求 請求項の数 7 O.L (全 12 頁)

(21)出願番号 特願平10-154986  
(22)出願日 平成10年(1998) 6月3日

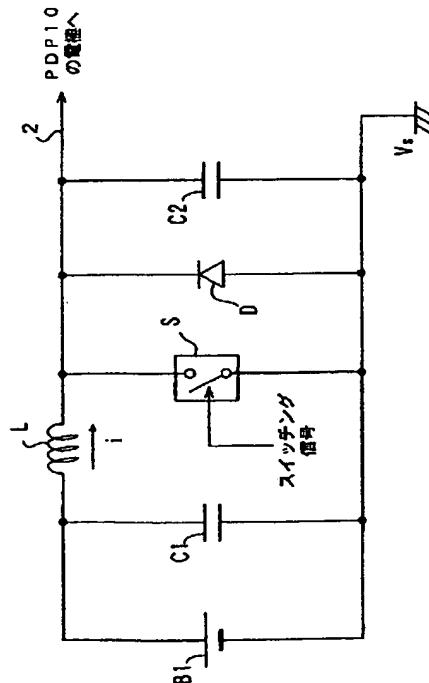
(71)出願人 000005016  
バイオニア株式会社  
東京都目黒区目黒1丁目4番1号  
(72)発明者 井手 茂生  
山梨県中巨摩郡田富町西花輪2680番地バイ  
オニア株式会社ディスプレイセンター内  
(74)代理人 弁理士 藤村 元彦

(54)【発明の名称】 表示パネルの駆動装置

(57)【要約】

【課題】小規模な構成にて、高速動作が可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】直流電圧を発生する直流電源と、この直流電源に並列に接続された第1コンデンサと、上記直流電源の正側端子にその一端が接続されているコイルと、かかるコイルの他端と上記直流電源の負側端子との間の接続及び遮断を交互に行うスイッチング手段と、上記コイルの他端にアノード端が接続されていると共に上記直流電源の負側端子にカソード端が接続されているダイオードと、かかるダイオードに並列に接続された第2コンデンサとからなり、上記コイルの他端に生じた電位変化を駆動パルスとして発生する。



## 【特許請求の範囲】

【請求項1】複数の行電極と、前記行電極に交差して配列された複数の列電極とを有する表示パネルの前記電極各々に印加すべき駆動パルスを発生する駆動装置であって、

直流電圧を発生する直流電源と、

前記直流電源に並列に接続された第1コンデンサと、前記直流電源の正側端子にその一端が接続されているコイルと、

前記コイルの他端と前記直流電源の負側端子との間の接続及び遮断を交互に行うスイッチング手段と、

前記コイルの他端にカソード端が接続されていると共に前記直流電源の負側端子にアノード端が接続されているダイオードと、

前記ダイオードに並列に接続された第2コンデンサとかなりり、

前記コイルの他端に生じた電位変化を前記駆動パルスとして発生することを特徴とする表示パネルの駆動装置。

【請求項2】前記駆動パルスのピーク電圧値を検出するピーク電圧値検出手段と、前記ピーク電圧値に応じて前記駆動パルスの波高値を一定値に保つ安定化手段とを含むことを特徴とする請求項1記載の表示パネルの駆動装置。

【請求項3】前記直流電源は、前記直流電圧の電圧値が可変な可変直流電源であり、

前記安定化手段は、前記ピーク電圧値に応じて前記可変直流電源で発生すべき前記直流電圧の値を変化せしめることを特徴とする請求項2記載の表示パネルの駆動装置。

【請求項4】前記安定化手段は、前記スイッチング手段における前記接続及び遮断の期間比を前記ピーク電圧値に応じて調整せしめることを特徴とする請求項1及び2記載の表示パネルの駆動装置。

【請求項5】前記安定化手段は、前記スイッチング手段における前記接続及び遮断の切り替え周期を前記ピーク電圧値に応じて調整せしめることを特徴とする請求項1及び2記載の表示パネルの駆動装置。

【請求項6】前記駆動パルスは、前記行電極に印加される維持パルスであることを特徴とする請求項1記載の表示パネルの駆動装置。

【請求項7】前記駆動パルスは、前記列電極に印加される画素データパルスであることを特徴とする請求項1記載の表示パネルの駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、交流駆動型プラスティックレイバネル（以下、PDPと称する）又はエレクトロルミネセンス（以下、ELと称する）等の容積性負荷を有する表示パネルの駆動装置に関する。

## 【0002】

【従来の技術】現在、壁掛TVとして、PDP、EL等の如き自発光型の平面パネルを用いた表示装置が製品化されている。図1は、かかる表示装置の概略構成を示す図である。図1において、表示パネルとしてのPDP10は、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極Y<sub>1</sub>～Y<sub>n</sub>及びX<sub>1</sub>～X<sub>n</sub>を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列（第1列～第m列）に対応した列電極Z<sub>1</sub>～Z<sub>m</sub>が形成されている。尚、1対の行電極対（X、Y）と1つの列電極Zとの交差部に1つの放電セルC<sub>1,1</sub>～C<sub>n,m</sub>が形成される。

【0003】行電極駆動回路30は、先ず、図2に示されるが如き正電圧のリセットパルスRP<sub>1</sub>を発生してこれを行電極Y<sub>1</sub>～Y<sub>n</sub>の各々に同時に印加する。これと同時に、行電極駆動回路40は、負電圧のリセットパルスRP<sub>2</sub>を発生してこれを全ての行電極X<sub>1</sub>～X<sub>n</sub>に同時に印加する。これらリセットパルスRP<sub>1</sub>及びRP<sub>2</sub>の同時印加により、PDP10の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される（リセット行程）。

【0004】かかるリセット行程の終了後、列電極駆動回路20は、画面の第1行～第n行各々に対応した画素データに応じた画素データパルスDP<sub>1</sub>～DP<sub>n</sub>を生成し、これらを図2に示されるが如く順次列電極Z<sub>1</sub>～Z<sub>m</sub>に印加して行く。行電極駆動回路30は、画素データパルスDP<sub>1</sub>～DP<sub>n</sub>各々の印加タイミングに応じて負電圧の走査パルスSPを発生し、これを図2に示されるが如く順次、行電極Y<sub>1</sub>～Y<sub>n</sub>へと印加して行く。

【0005】上記走査パルスSPが印加された行電極に属する放電セルの内で、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスSPが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる（アドレス行程）。

【0006】かかるアドレス行程が終了すると、行電極駆動回路30及び40は、図2に示されるが如く、正電圧の維持パルスIP<sub>1</sub>を連続して行電極Y<sub>1</sub>～Y<sub>n</sub>各々に印加すると共に、かかる維持パルスIP<sub>1</sub>の印加タイミングとは、ずれたタイミングにて正電圧の維持パルスIP<sub>2</sub>を連続して行電極X<sub>1</sub>～X<sub>n</sub>各々に印加する。かかる維持パルスIP<sub>1</sub>及びIP<sub>2</sub>が交互に印加されている期間に亘り、上記壁電荷が残留したままとなっている発光放電セルが放電発光を繰り返しその発光状態を維持する（維持放電行程）。

【0007】図1に示される駆動制御回路50は、供給

された映像信号のタイミングに基づいて、図2に示されるが如き各種駆動パルスを生成する為の各種スイッチング信号を生成し、これらを上記列電極駆動回路20、行電極駆動回路30及び40各々に供給する。すなわち、列電極駆動回路20、行電極駆動回路30及び40各々は、駆動制御回路50から供給されるスイッチング信号に応じて、図2に示される各種駆動パルスを生成するのである。

【0008】図3は、行電極駆動回路30の内部に設けられており、上記リセットパルスRP、及び維持パルスIP、各々を発生する駆動パルス発生回路を示す図である。図3において、かかる駆動パルス発生回路には、その一端が、PDP10の接地電位としてのPDP接地電位Vsに接地されているコンデンサC1が設けられている。

【0009】スイッチング素子S1は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW1が供給されている間は遮断状態にある。一方、かかるスイッチング信号SW1の論理レベルが"1"である場合には接続状態となり上記コンデンサC1の他端に生じた電位をコイルL1及びダイオードD1を介してライン2上に印加する。これによりコンデンサC1は放電を開始し、その放電により生じた電位がライン2上に印加されるのである。

【0010】スイッチング素子S2は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW2が供給されている間は遮断状態である一方、かかるスイッチング信号SW2の論理レベルが"1"である場合には接続状態となって上記ライン2上の電位をコイルL2及びダイオードD2を介して上記コンデンサC1の他端に印加する。すなわち、コンデンサC1は、上記ライン2上の電位によって充電されるのである。

【0011】スイッチング素子S3は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW3が供給されている間は遮断状態である一方、かかるスイッチング信号SW3の論理レベルが"1"である場合には接続状態となって直流電源B1の正側端子電位Vcをライン2上に印加する。尚、この直流電源B1の負側端子には、上記PDP接地電位Vsが印加されている。

【0012】スイッチング素子S4は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW4が供給されている間は遮断状態である一方、かかるスイッチング信号SW4の論理レベルが"1"である場合には接続状態となって上記PDP接地電位Vsをライン2上に印加する。ライン2は、負荷容量Cnを有するPDP10の行電極Yに接続されている。すなわち、行電極駆動回路30の内部には、図3に示されるが如き回路が、行電極Y<sub>1</sub>～Y<sub>n</sub>各々に対応したn系統分だけ設けられているのである。

【0013】図4は、図2に示されるが如き維持パルス

IP<sub>1</sub>をかかるライン2上に生成すべく、上記駆動制御回路50が図3に示される行電極駆動回路30に供給するスイッチング信号SW1～SW4各々のタイミングを示す図である。図4に示されるように、先ず、スイッチング信号SW1～SW4の内、スイッチング信号SW4のみが論理レベル"1"であるので、スイッチング素子S4が接続状態となり、上記PDP接地電位Vsがライン2上に印加される。よって、この間、ライン2上の電位は上記PDP接地電位Vs、すなわち0[V]である。

【0014】次に、スイッチング信号SW4が論理レベル"0"、スイッチング信号SW1が論理レベル"1"に夫々切り替わると、スイッチング素子S1のみが接続状態となり、コンデンサC1に蓄えられていた電荷が放電される。よって、コイルL1には過渡的に図4に示されるが如き形態にて電流が流れる。かかる電流がダイオードD1、スイッチング素子S1、及びライン2を介してPDP10に流れ込み、その負荷容量Cnが充電されることにより、ライン2上の電位は図4に示されるように徐々に上昇して行く。

【0015】次に、スイッチング信号SW1が論理レベル"0"、スイッチング信号SW3が論理レベル"1"に夫々切り替わると、スイッチング素子S3のみが接続状態となり、直流電源B1の正側端子電位Vcがライン2上に印加される。よって、この間、ライン2上の電位は図4に示されるようにVcに固定される。次に、スイッチング信号SW2が論理レベル"1"、スイッチング信号SW3が論理レベル"0"に夫々切り替わると、スイッチング素子S2のみが接続状態となり、コイルL1には過渡的に図4に示されるが如き形態にて負の電流が流れる。

【0016】以上の如き動作により、図4に示されるが如き正電圧の維持パルスIP<sub>2</sub>がライン2上に印加されるのである。しかしながら、図3に示される構成では、4つのスイッチング素子S1～S4を必要とする為、その回路規模が大になるという問題があった。又、これらスイッチング素子S1～S4各々はMOSトランジスタにて実現するが、スイッチング素子S1～S4の内、S1～S3に関してはこれらをスイッチング駆動する為の専用電源を用意しなければならない。これは、図3に示されるが如く、スイッチング素子S1～S3各々の両端に印加される電位はスイッチング信号SW1～SW3各々に対してフローティング状態となっている為、これらスイッチング信号SW1～SW3では直接、MOSトランジスタをスイッチング駆動出来ないからである。

【0017】従って、例えばスイッチング素子S1をM

50

OSトランジスタ化すると、実際には図5に示されるが如き構成となってしまう。すなわち、図3に示されるダイオードD1及びライン2間にMOSトランジスタQを接続すると共に、スイッチング信号SW1に応じてこのMOSトランジスタQをスイッチング動作させるべく、更にフォトカプラPC、電源B2及びドライバDVが必要となるのである。ドライバDVは、スイッチング信号SW1が論理レベル"1"である場合には、電源B2における高電位側の電位V<sub>DD</sub>をMOSトランジスタQのゲート端に供給する一方、かかるスイッチング信号SW1が論理レベル"0"である場合には、電源B2における低電位側の電位V<sub>GND</sub>をかかるゲート端に供給する。尚、かかる電位V<sub>GND</sub>は、MOSトランジスタQのドレイン端に常時印加されている。フォトカプラPCは、スイッチング信号SW1の論理レベルを電気的に絶縁してドライバDVに中継する。

【0018】このように、図3に示される構成において、スイッチング素子S1～S3をMOSトランジスタ化しようとすると、図5に示されるが如き付加回路が必要となる為その回路規模が大になり、動作速度も低下してしまうという問題があった。

#### 【0019】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、簡略化された構成にて、高速動作が可能な表示パネルの駆動装置を提供することを目的とする。

#### 【0020】

【課題を解決するための手段】本発明による表示パネルの駆動装置は、複数の行電極と、前記行電極に交差して配列された複数の列電極とを有する表示パネルの前記電極各々に印加すべき駆動バルスを発生する駆動装置であって、直流電圧を発生する直流電源と、前記直流電源に並列に接続された第1コンデンサと、前記直流電源の正側端子にその一端が接続されているコイルと、前記コイルの他端と前記直流電源の負側端子との間の接続及び遮断を交互に行うスイッチング手段と、前記コイルの他端にカソード端が接続されていると共に前記直流電源の負側端子にアノード端が接続されているダイオードと、前記ダイオードに並列に接続された第2コンデンサとからなり、前記コイルの他端に生じた電位変化を前記駆動バルスとして発生する。

#### 【0021】

【発明の実施の形態】図6は、本発明による表示パネルの駆動装置を備えた表示装置の構成を示す図である。図6において、表示パネルとしてのPDP10は、X及びYの1対にて1画面の各行(第1行～第n行)に対応した行電極対を有する行電極Y<sub>1</sub>～Y<sub>n</sub>及びX<sub>1</sub>～X<sub>m</sub>を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列(第1列～第m列)に対応した列電極Z<sub>1</sub>～Z<sub>m</sub>が形成

されている。尚、1対の行電極対(X、Y)と1つの列電極Zとの交差部に1つの放電セルC<sub>1,1,1</sub>が形成される。

【0022】行電極駆動回路31は、図2に示されるが如き正電圧のリセットバルスRP<sub>V</sub>、負電圧の走査バルスSP<sub>V</sub>及び維持バルスIP<sub>V</sub>を各々を発生し、これらを図2に示されるタイミングにて行電極Y<sub>1</sub>～Y<sub>n</sub>の各々に印加する。行電極駆動回路41は、図2に示されるが如き負電圧のリセットバルスRP<sub>N</sub>、及び正電圧の維持バルスIP<sub>N</sub>を各々を発生し、これらを図2に示されるタイミングにて行電極X<sub>1</sub>～X<sub>m</sub>の各々に印加する。

【0023】列電極駆動回路21は、画面第1行～第n行各々に対応した画素データに応じた画素データバルスDP<sub>1</sub>～DP<sub>n</sub>を生成し、これらを図2に示されるように順次列電極Z<sub>1</sub>～Z<sub>m</sub>に印加して行く。駆動制御回路51は、供給された映像信号に基づき、図2に示されるが如き各種駆動バルスを生成する為の各種スイッチング信号を生成し、これらを上記列電極駆動回路21、行電極駆動回路31及び41各々に供給する。

【0024】尚、これら行電極駆動回路31、行電極駆動回路41、及び列電極駆動回路21各々の内部には、図7に示されるが如き本発明による駆動装置としてのフライバックバルス出力回路が設けられている。図7において、直流電圧を発生する直流電源B1の負側端子はPDP10の接地電位であるPDP接地電位V<sub>S</sub>に接続されている。尚、かかる直流電源B1の電圧値は、PDP10の電極に印加すべき各種駆動バルスの波高値より低い値に設定されている。直流電源B1には、並列にコンデンサC1が接続されている。更に、かかる直流電源B1の正側端子にはコイルLの一端が接続されており、このコイルLの他端はライン2を介してPDP10の各電極(行電極又は列電極)に接続されている。スイッチング素子Sは、駆動制御回路51から供給されたスイッチング信号に応じて、上記コイルLの他端と上記直流電源B1の負側端子との間の接続及び遮断を行う。更に、上記コイルLの他端にカソード端が接続されており、かかる直流電源B1の負側端子にそのアノード端が接続されているダイオードDが設けられている。コンデンサC2は、このダイオードDに並列に接続されている。尚、図7に示されるように、直流電源B1の負側端子、スイッチング素子S、ダイオードDのアノード端、コンデンサC1及びC2各々の一端は夫々上記PDP接地電位V<sub>S</sub>に接続されている。尚、コンデンサC1の容量は、コンデンサC2の容量、及びPDP10が有する負荷容量C0に比して充分大きな値である。

【0025】以下に、図7に示されるフライバックバルス出力回路の動作について、図8～図10を参照しつつ説明する。先ず、図8に示される時点t<sub>0</sub>～t<sub>1</sub>の如く、駆動制御回路51から供給されたスイッチング信号が論理レベル"0"である期間中は、スイッチング素子Sは遮

断状態である。よって、ダイオードDが順方向にバイアスされ、コンデンサC1及びコイルLの共振により、図9(a)の太線矢印にて示されるコンデンサC1～ダイオードD～コイルLなる経路にて電流が流れ減少していく。

【0026】次に、図8に示される時点 $t_1 \sim t_2$ の如く、駆動制御回路51から供給されたスイッチング信号が論理レベル"1"に推移すると、スイッチング素子Sは接続状態となる。ここで、時点 $t_2$ 以降、図9(b)の太線矢印にて示されるように、コンデンサC1～ダイオードD間を流れる電流の方向が逆転し、図8に示されるが如くその電流量は徐々に上昇し、コイルLにエネルギーが蓄えられる。

【0027】次に、図8に示されるように、再び駆動制御回路51から供給されたスイッチング信号が論理レベル"0"に推移すると、スイッチング素子Sは遮断状態となる。これにより、図9(c)及び(d)に示されるが如く、コイルLと、コンデンサC2及びPDP10の負荷容量C0との間で共振が起こる。かかる共振動作では、先ず、コイルLに蓄えられていたエネルギーが0、すなわちライン2上を流れる電流が0(時点 $t_3$ )になるまでコイルLに蓄えられていたエネルギーが放出され、コンデンサC2及び負荷容量C0の充電が為される。これらコンデンサC2及び負荷容量C0への充電動作により、ライン2上の電位は図8に示されるように徐々に上昇していく。

【0028】ここで、コイルLに蓄えられていたエネルギーが0となり、図8の時点 $t_4$ に示されるが如く流れる電流が0を横切ると、今度は、コンデンサC2及び負荷容量C0が放電を開始する。かかる放電により、図10(d)の太線矢印にて示されるが如き、コンデンサC2及び負荷容量C0～コイルL～コンデンサC1なる経路にて電流が流れ始める。この際、コンデンサC1は、上記コイルLを介して流れ込んできた電流により充電し、これを吸収していく。かかるコンデンサC1の充電動作により、ライン2上の電位は図8に示されるように徐々に下降していく。

【0029】ここで、ライン2上の電位が負電位に到達すると、ダイオードDが順方向にバイアスされることになり、図10(e)の太線矢印にて示されるが如き経路にて電流が流れ始める。これら一連の動作により、図8に示されるが如く、波高値VVを有する正弦波状のパルスGPが生成される。尚、かかる波高値VVは、直流電源B1が発生する電圧値より高くなる。

【0030】そこで、かかるパルスGPを、図2に示されるが如き維持パルスIPv、IPv、画素データパルスDPとして用いるのである。図11は、図7に示されるフライバックパルス出力回路を、

行電極駆動回路31における維持パルスIPv発生回路  
行電極駆動回路41における維持パルスIPv発生回路

列電極駆動回路21における画素データパルスDP発生回路

として用いた場合の適用例を示す図である。

【0031】尚、図11においては、PDP10が保有する全電極の内、行電極X1、Y1、及びZ1を駆動する分のみ記載してある。維持パルスIPvを生成するにあたり、駆動制御回路51は、図12に示されるが如く論理レベル"0"及び"1"を繰り返すスイッチング信号Sv1を、図11に示される行電極駆動回路31中のスイッチング素子Sに供給する。これにより、図12に示されるが如く、波高値Vcを有する正弦波状の維持パルスIPvが繰り返し生成され、これが行電極Y1に印加される。尚、この際、行電極駆動回路31に設けられているフライバックパルス出力回路の直流電源B1の電圧値は、上記波高値Vcより低い値で良い。

【0032】又、維持パルスIPvを生成するにあたり、駆動制御回路51は、図13に示されるが如く論理レベル"0"及び"1"を繰り返すスイッチング信号Sv2を、図11に示される行電極駆動回路41中のスイッテング素子Sに供給する。これにより、図13に示されるが如く、波高値Vcを有する正弦波状の維持パルスIPvが繰り返し生成され、これが行電極X1に印加される。尚、この際、行電極駆動回路41に設けられているフライバックパルス出力回路の直流電源B1の電圧値は、上記波高値Vcより低い値で良い。

【0033】又、画素データパルスDPを生成するにあたり、駆動制御回路51は、図14に示されるが如く論理レベル"0"及び"1"を繰り返すスイッチング信号SDを、図11に示される列電極駆動回路21中のスイッテング素子Sに供給する。これにより、図14に示されるが如く、波高値Vwを有する正弦波状のパルスが繰り返しライン2上に生成される。ここで、スイッチング素子SSは、論理レベル"1"の画素データが供給されている場合にのみ接続状態となって、上記ライン2上に生成されたパルスを画素データパルスDPとして列電極Z1に印加する。尚、この際、列電極駆動回路21に設けられているフライバックパルス出力回路の直流電源B1の電圧値は、上記波高値Vwより低い値で良い。

【0034】以上の如く、図7に示されるが如きフライバックパルス出力回路によれば、直流電源B1の電圧値は各駆動パルスの波高値よりも低くすることが出来るので、低消費電力化が図れる。又、図7に示されるようにスイッテング素子Sの一端は接地電位となっているので、このスイッテング素子SをMOSトランジスタ化するにあたり、図5に示されるが如きフォトカプラPC、電源B2、及びドライバDV等の附加回路が不要となる。よって、図3に示されるが如き電極駆動回路に比してその回路規模を小規模化できる。更に、使用しているスイッテング素子が1つで済むので、図3に示される電極駆動回路に比して高速動作が可能となる。又、全共振

を利用してパルスを発生する構成となっているので、EMI妨害が少ないというメリットがある。

【0035】尚、上述の如く、図7に示されるフライバックパルス出力回路では大型のPDPを駆動した場合、放電電流が増加すると共振コンデンサの容量不足等により、この駆動パルスの波高値が不安定になる場合がある。図15は、かかる点に鑑みて為されたフライバックパルス出力回路の他の実施例を示す図である。

【0036】図15に示されるフライバックパルス出力回路においては、図7に示される回路に、ピークホールド回路PH、抵抗R1及びR2からなるピーク電圧値検出手段を付加すると共に、直流電源B1を可変直流電源B1'に変更している。ピークホールド回路PHは、ライン2及びPDP接地電位V<sub>s</sub>間に生じた電位差を抵抗R1及びR2にて分圧した値に基づき、ライン2上に発生した電圧のピーク電圧値を検出して保持し、これを可変直流電源B1'に供給する。可変直流電源B1'は、かかるピーク電圧値に応じた直流の電源電圧を発生し、これをコンデンサC1の両端に印加する。

【0037】かかる構成により、ライン2上に発生した駆動パルスの波高値が常に所望の一定値に安定するよう、可変直流電源B1'において発生する直流の電源電圧値を調整するのである。すなわち、駆動パルスの波高値を逐次検出し、この検出した波高値に応じた分だけ可変直流電源B1'で発生する電源電圧値を調整することにより、駆動パルスの波高値を安定化しているのである。

【0038】尚、電源電圧値を調整する代わりに、スイッチング素子Sにおける接続及び遮断の期間比を上記ピーク電圧値に応じて調整せしめるようにしても良い。図16は、かかる点に鑑みて為されたフライバックパルス出力回路の更に他の実施例を示す図である。図16に示されるフライバックパルス出力回路においては、図7に示される回路に、図15と同様なピークホールド回路PH、抵抗R1及びR2と、デューティ調整回路DHを付加する構成としている。デューティ調整回路DHは、ピークホールド回路PHから供給されたピーク電圧値に基づいて、駆動制御回路51から供給されたスイッチング信号のデューティ比を調整し、このデューティ調整されたスイッチング信号SWCをスイッチング素子Sに供給する。すなわち、スイッチング素子Sが接続状態となっている期間と、遮断状態となっている期間との期間比を上記ピーク値に応じて調整せしめるのである。

【0039】かかる構成により、例えば、ライン2上に発生した駆動パルスの波高値が所望の値よりも低い場合には、デューティ調整回路DHは、スイッチング素子Sが接続状態となっている期間を長くして、上記スイッチング信号のデューティ調整を行う。この際、図17に示されるように、スイッチング素子Sが接続状態となっている期間が長いほどコイルLを流れる電流量が増大し

て、ライン2上に生成される駆動パルスの波高値も高くなつて行くのである。

【0040】尚、スイッチング素子Sにおける接続及び遮断期間の比を調整する代わりに、図18に示されるように、接続及び遮断の切り替え周期を調整するようにしても、同様に、駆動パルスの波高値を制御することができる。この際、図18に示されるように、スイッチング素子Sにおける接続及び遮断の切り替え周期を長くするほど、コイルLを流れる電流量が増大して、ライン2上に生成される駆動パルスの波高値も高くなつて行くのである。

#### 【0041】

【発明の効果】以上、詳述した如く、本発明による表示パネルの駆動装置は、コンデンサ及びコイルからなる共振回路を用いた全共振を利用した動作により、各種の駆動パルスを発生する構成としている。よって、かかる構成によれば、発生すべき駆動パルスの波高値よりも低い電圧値を有する直流電源で各種駆動パルスを発生することが出来るようになるので、低消費電力化を図ることが出来る。又、使用しているスイッチング手段は1系統で済むので、回路の小規模化及び高速動作が実現出来る。更に、全共振を利用して駆動パルスを発生する構成となっているので、EMI妨害が少ないというメリットがある。

#### 【図面の簡単な説明】

【図1】自発光型の平面パネルを用いた従来の表示装置の概略構成を示す図である。

【図2】各種駆動パルスの印加タイミングを示す図である。

【図3】行電極駆動回路30に設けられている駆動パルス発生回路を示す図である。

【図4】図3に示される駆動パルス発生回路の内部動作波形図である。

【図5】図3に示される駆動パルス発生回路におけるスイッチング素子S1～S3をMOSトランジスタにて形成した場合の回路を示す図である。

【図6】本発明の駆動装置を備えた表示装置の概略構成を示す図である。

【図7】本発明による駆動装置としてのフライバックパルス出力回路を示す図である。

【図8】図7に示されるフライバックパルス出力回路の動作波形図である。

【図9】図7に示されるフライバックパルス出力回路の動作を説明するための図である。

【図10】図7に示されるフライバックパルス出力回路の動作を説明するための図である。

【図11】図7に示されるフライバックパルス出力回路を、列電極駆動回路21、行電極駆動回路31及び41各々での維持パルス発生回路、並びに画素データパルス発生回路として適用した場合の一例を示す図である。

11

【図12】図11に示される行電極駆動回路31にて維持バルスIP<sub>y</sub>を生成する際の内部動作波形を示す図である。

【図13】図11に示される行電極駆動回路41にて維持バルスIP<sub>x</sub>を生成する際の内部動作波形を示す図である。

【図14】図11に示される列電極駆動回路21にて画素データバルスDPを生成する際の内部動作波形を示す図である。

【図15】安定化回路を備えたフライバックバルス出力回路を示す図である。

【図16】安定化回路を備えたフライバックバルス出力回路の他の構成を示す図である。

【図17】図16に示される回路にて、スイッチング信号のデューティ比を制御して駆動バルスの波高値を調整\*

12

\*する際の動作波形を示す図である。

【図18】図16に示される回路にて、スイッチング信号の周期を制御して駆動バルスの波高値を調整する際の動作波形を示す図である。

【主要部分の符号の説明】

B1 直流電源

B1' 可変直流電源

C1,C2 コンデンサ

D ダイオード

DH デューティ調整回路

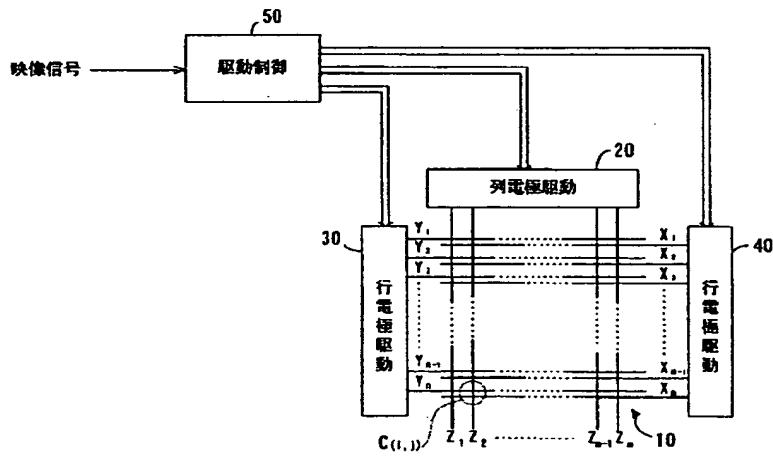
L コイル

PH ピークホールド回路

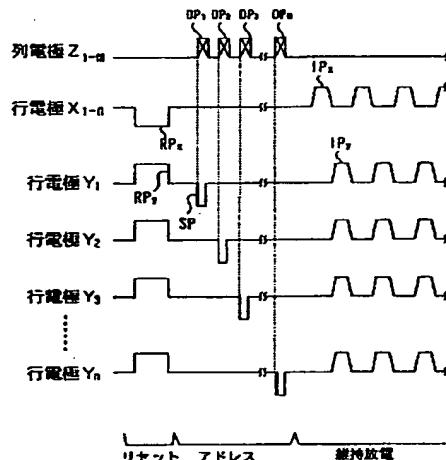
S スイッチング素子

10 PDP

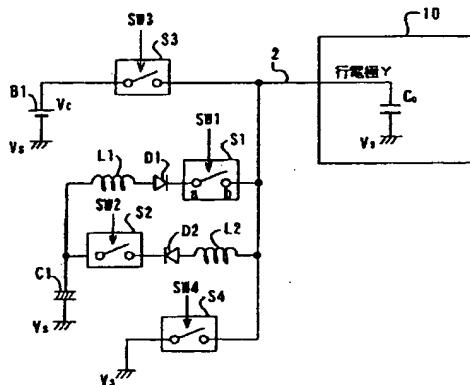
【図1】



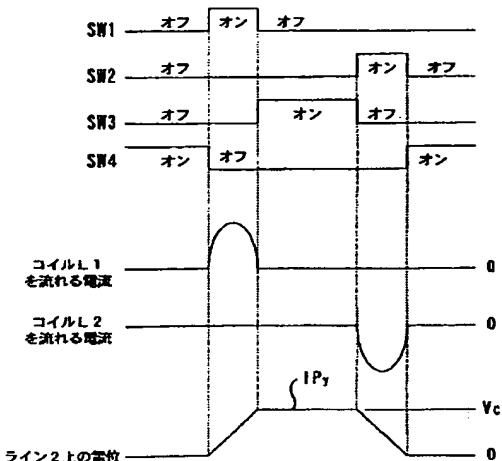
【図2】



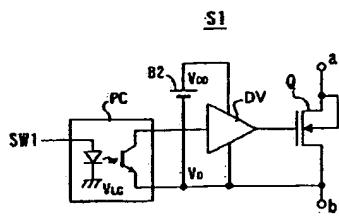
【図3】



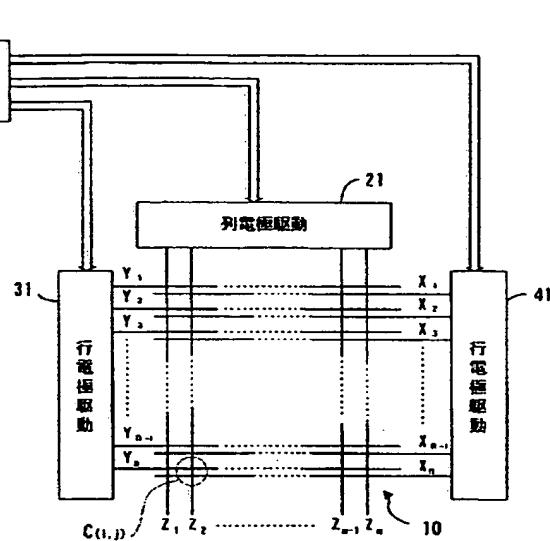
【図4】



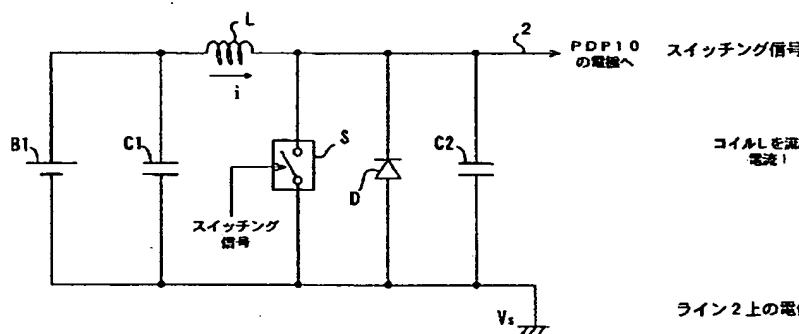
【図5】



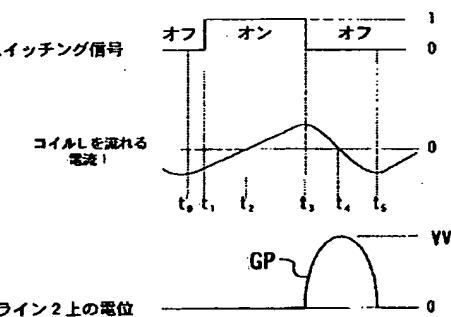
【図6】



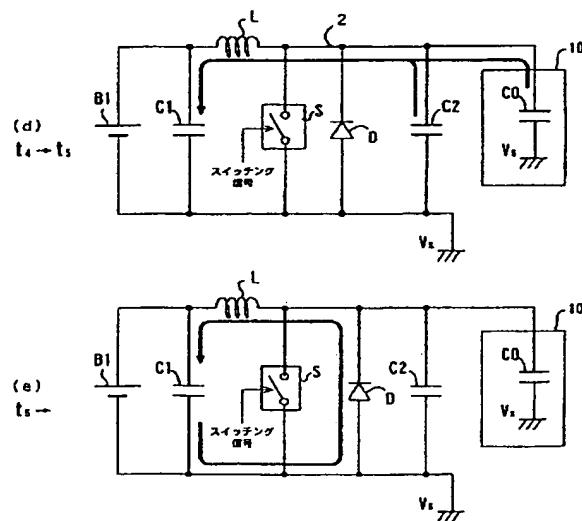
【図7】



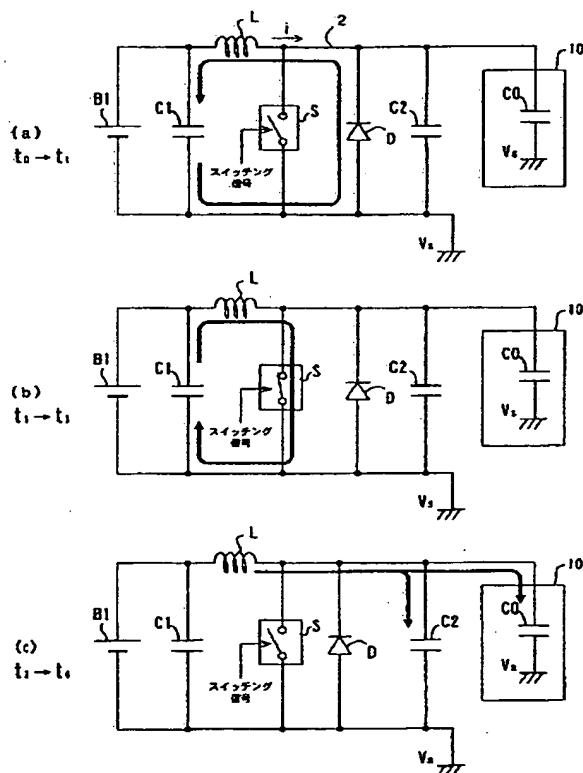
【図8】



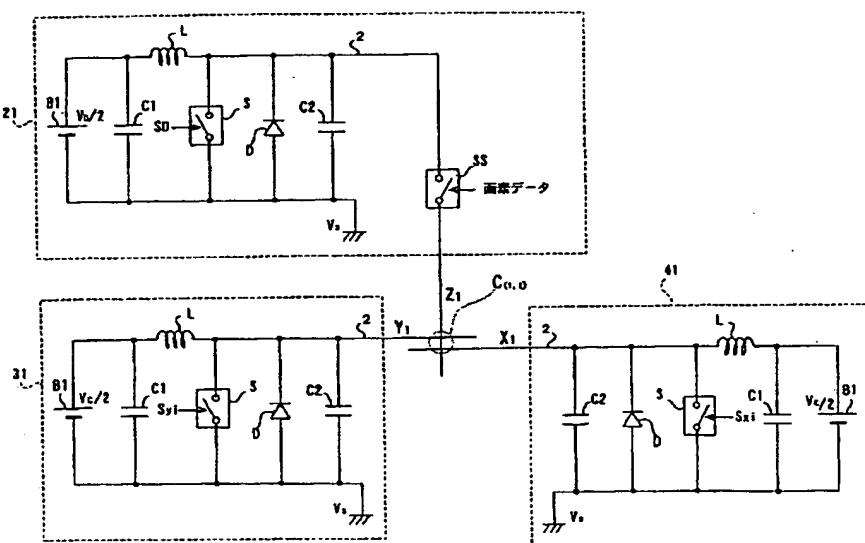
【図10】



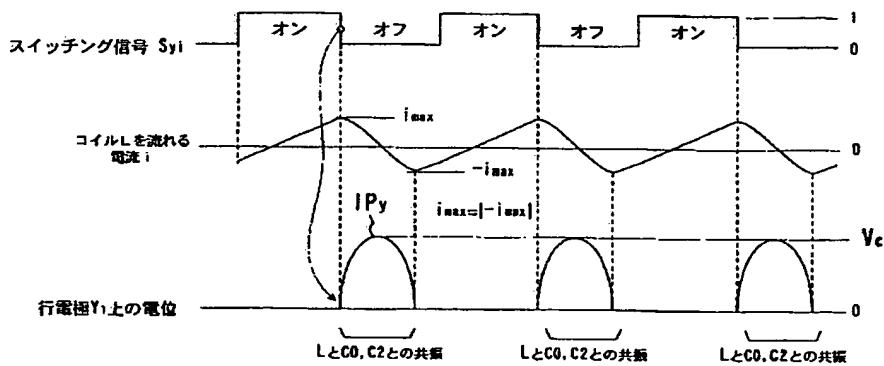
【図9】



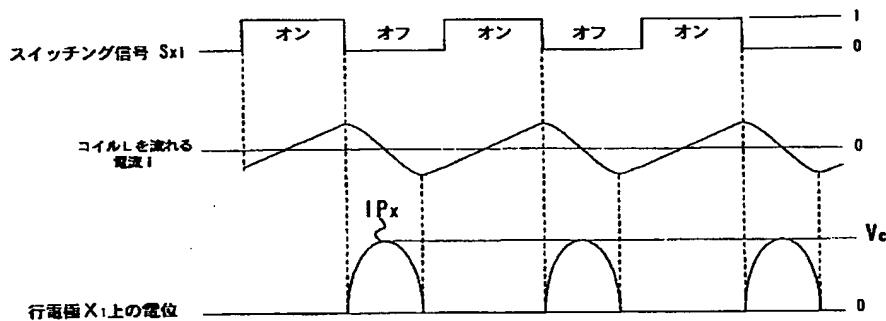
【図11】



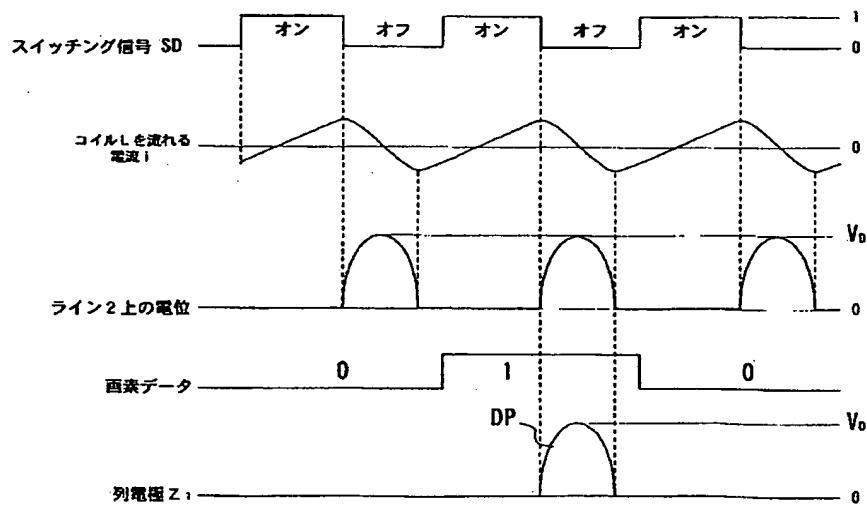
【図12】



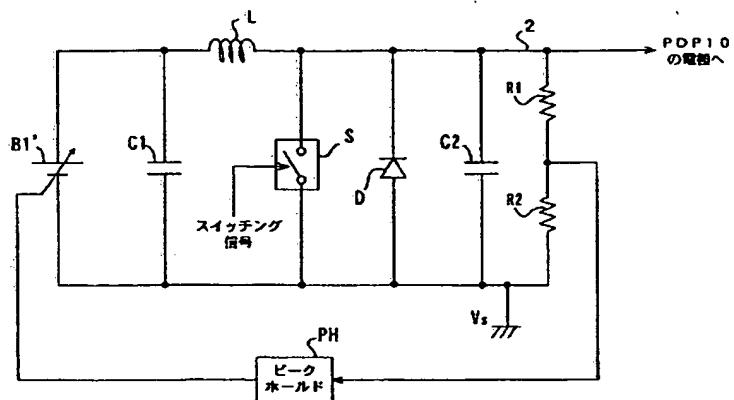
【図13】



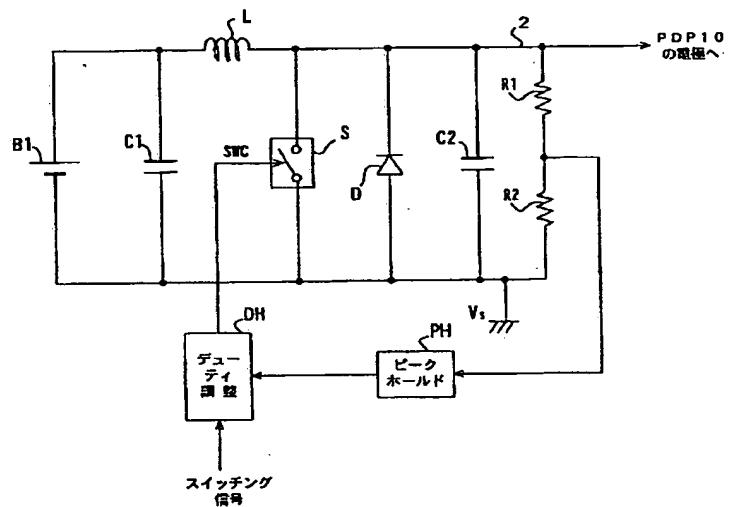
【図14】



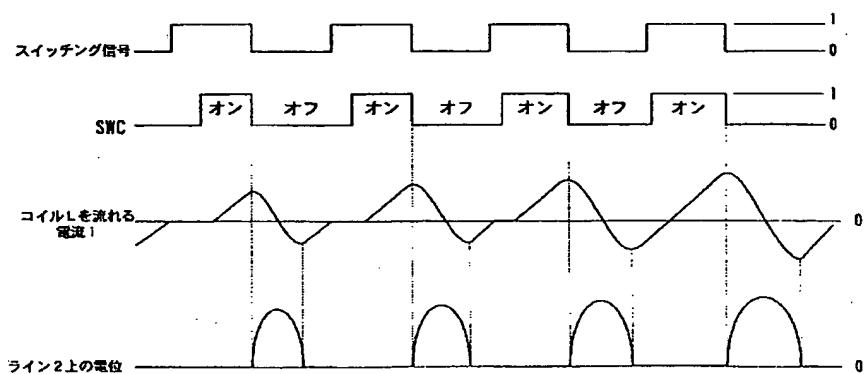
【図15】



【図16】



【図17】



【図18】

